

小型 FPGA を用いた情報回路による計測・制御実習教材の開発

伊藤陽介*

情報回路を学習するための教材として小型 FPGA を利用することを前提とした鳴門教育大学学校教育学部・授業科目「情報回路と計測・制御(実習を含む。)」の内容を示した。ハードウェア記述言語として Verilog HDL を採用し、容易に交換可能な DIP 形状の FPGA 基板に対して、実習内容に応じた回路を追加した計測・制御実習教材を開発した。特に、 $\Delta \Sigma$ 型に類似した AD 変換回路や PWM 信号を用いた DA 変換回路を利用することで、計測・制御技術を実践的な側面から習得できると期待される。本教材をブレッドボード上に組み立てた製作例を示し、情報回路の設計・製作手順について述べた。

[キーワード: 情報回路, 計測・制御, FPGA, ハードウェア記述言語]

1. はじめに

鳴門教育大学学校教育学部では、令和5年度から高等学校教諭免許状(情報)の取得に対応した「教科に関する専門的事項」における「コンピュータ・情報処理(実習を含む。)」の授業科目「情報回路と計測・制御(実習を含む。)」(2単位)を開設する。これまで同種の授業において情報回路を学習する場合、設計仕様に基づいて作成した真理値表から論理式を立て、それを簡略化し、汎用ロジック IC 等を用いた電子回路を設計・製作し、動作検証する実習が多かった。利用可能な汎用ロジック IC の種類を想定し、IC 数をできるだけ減らすこと等をねらい、論理式の簡略化や最適化のために論理演算の定理や公式、カルノー図等の説明に多くの時間を必要としていた。

電子回路の製作実習では、動作検証に基づいて不具合があれば短時間で修正できるように、プリント基板に部品や電線をハンダ付けする方法はとらずブレッドボードと呼ばれる試作用基板にある穴に部品やジャンパ線を差し込んで製作することが多い。しかし、回路規模が大きくなるとともに、部品やジャンパ線も増えていくこと等から修正を困難にしていた。さらに、DIP (Dual In-line Package) 型 IC は産業用としてほとんど利用されなくなり、手作業で容易に組み立てできる DIP 型汎用ロジック IC の多くは生産終了となっている。限られた種類の IC しか流通しなくなっており、その入手性は著しく低下しつつある。

一方、1980 年代にプログラム可能な組み合わせ

回路である LUT (Look Up Table) と D フリップフロップ (D-FF) 等で構成された多数の論理ブロックを備える FPGA (Field Programmable Gate Array) と呼ばれるプログラム可能な論理回路 IC が発明された。その後、論理ブロック数の増大化や RAM, DSP, PLL 等も備えた FPGA も提供され、目的に応じた様々な規模の情報回路を実現できるようになった[1]。

黎明期の FPGA は論理ブロック数に対して一般的に高価であり、専用書き込み装置が必要である等、教員養成系学部授業における実習用教材としての利用は難しい側面があった。その後、FPGA の基本特許であった Carter 特許 (US PAT. 4642487) と Freeman 特許 (US PAT. RE34363) は、それぞれ 2004 年 9 月 26 日、2006 年 9 月 26 日に特許存続期間を満了した[2]。併せて、半導体の集積度が向上したこともあり、近年中国系メーカ等から様々な種類の FPGA が大量に供給されるようになった。特に、論理ブロック数が数千程度の小型 FPGA は安価に提供され、メーカ提供の統合型開発環境によっては、教育目的であれば無償利用できるものもあり、教材として利用できる環境が整ってきた[3, 4]。

以上述べた点に基づき本論文では、情報回路を学習するための教材として小型 FPGA を利用することを前提とした「情報回路と計測・制御(実習を含む。)」の授業内容を示すとともに、小型 FPGA を用いて開発した計測・制御実習教材について述べる。

2. 「情報回路と計測・制御(実習を含む。)」の授業内容

鳴門教育大学学校教育学部で開設する授業科目

* 鳴門教育大学大学院 高度学校教育実践専攻 教科・総合系 技術・工業・情報科教育コース

「情報回路と計測・制御(実習を含む。)」では、生活や社会においてコンピュータを内蔵した様々な機器が利用され、これらの機器が計測機能によって外部から情報を取得し、制御機能によって外部に対して働きかけを行う情報回路を備えることを念頭におき、本授業で取り扱うテーマと到達目標を「コンピュータを構成する情報回路と計測・制御に関する技術を取り扱う。情報回路の仕組みを理解するとともに、基本的な計測・制御に関する考え方や技術を修得すること。」としている。本授業では、コンピュータを構成する基本技術である情報回路と計測・制御に関する技術を修得し、プログラム可能な論理回路 IC である FPGA を用いた実習を通して、各技術に対する理解を深める。2 単位(全 15 回分)の授業計画を表 1 に示す。

第 1～7 回の前半授業では、情報回路と計測・制御技術に関わる基礎的な内容について主に理論的な側面から取り扱う。第 8～15 回の後半授業では、小型 FPGA を用いた情報回路の設計・製作と計測・制御に関する実習を行う。

なお、本実習では汎用ロジック IC は使用せず、ハードウェア記述言語(HDL: Hardware Description Language)による設計内容を FPGA に内蔵される論理ブロックの設定の組み合わせに変換する「論理合成」と呼ばれるソフトウェア処理によって情報回路を構成するため、前半授業では論理式の簡略化や最適化の詳細について取り扱わない。その代わり、第 8～10 回で HDL を、第 11、

12 回で FPGA の仕組みと具体的な製作方法をそれぞれ取り扱う。

3. 教材の選定

本章では、小型 FPGA を用いた計測・制御実習教材の開発にあたり、「情報回路と計測・制御(実習を含む。)」の到達目標、授業内容や時間数、受講生の既習事項、実習経験等を勘案して選定した HDL と FPGA 基板について述べる。

3.1 HDL の選定

現在、デファクト・スタンダードとして利用されている HDL は、主に VHDL, Verilog HDL, SystemVerilog の 3 種類である[5]。VHDL は IEEE/IEC による標準化がなされ、主なバージョンとして VHDL 1993, VHDL 2008 等がある。Verilog HDL は IEEE 1364 として標準化され、Verilog 1995, Verilog 2001, Verilog 2005 等のバージョンがある。SystemVerilog は Verilog 2005 からの拡張であり、Verilog HDL の上位互換となっている。IEEE/IEC 62530:2011 として標準化され、SystemVerilog 2005, SystemVerilog 2017 等のバージョンがある。各 HDL で記述された様々な IP (Intellectual property) コアと呼ばれる回路情報も提供されている。

VHDL は言語仕様が豊富であり厳格であることを特徴としているが、Verilog HDL や SystemVerilog と比較して記述量が多くなり初学者向けではない点が挙げられる。一方、Verilog HDL や SystemVerilog は C 言語に類似した文法体系であり簡潔に記述できることを特徴としており、機能を限定すれば初学者であっても短時間で習得できる可能性は高い。本授業の実習では複雑な情報回路の製作を前提としないため SystemVerilog の機能まで利用する必要は無いと考え、教材として Verilog HDL を選定した。

3.2 FPGA 基板の選定

表 1 に示した授業計画の実習で用いる教材に必要な小型 FPGA の要件として、基本的な情報回路からオープン・アーキテクチャの RISC-V[6]と同等程度の CPU まで構築できること、及び、計測や制御に関わる回路を容易に追加できることが挙げられる。この要件を考慮して、FPGA の評価や学習用として開発され 2023 年 1 月時点において入手性の高い FPGA 基板を 8 種類挙げ、主な仕様を表 2 に示した。

No. 1～No. 4 のボード型 FPGA 基板は、スイッチや LED 等の周辺回路を含み、各種コネクタ等があらかじめ搭載されている形状である。外部の基板等とは専用コネクタを介して接続できるが、主に FPGA 基板

表 1 授業計画

回	主な内容
1	アナログ信号とデジタル信号
2	スイッチ回路と情報回路、論理演算と記号
3	ブール代数と論理演算式
4	論理演算の組み合わせと順序回路
5	計測技術(計測対象、AD 変換)
6	制御技術(制御対象、DA 変換)
7	シーケンス制御とフィードバック制御
8	ハードウェア記述言語 (HDL)
9	(1) 概要
10	(2) 記述方法
	(3) 回路設計
11	プログラム可能な論理回路 IC (FPGA)
12	(1) 仕組みと利用方法
	(2) 情報回路の製作
13	製作した情報回路を用いた実習
14	(1) 計測
	(2) シーケンス制御
15	(3) フィードバック制御

(1 回 : 90 分間)

単体での教材利用を前提として設計されている。なお、No.4 のみ書込機能を備えていないため別途装置が必要となる。No.5～No.8 のDIP 型FPGA 基板は、別の基板やブレッドボード等に搭載して利用する形状であり、周辺回路は限定されているものの、必要に応じた回路の追加を想定して作られている。

AMD(旧 Xilinx)や Intel(旧 Altera)で開発されたFPGA は黎明期から産業界で広く利用され、充実したラインナップと統合型開発環境が提供されている。そのため、研究者や技術者の養成を主な目的とする授業の場合、これらのFPGA を採用することが一般的である。一方、教員養成を目的とする本授業では、情報回路を理解するための教材としてFPGA を利用するため、限定された機能で簡便な開発環境の方が取扱いしやすいと考えられる。また、電子部品の取扱い経験が少ないと実習中にFPGA 基板を壊してしまう可能性があり、物理的・経済的な側面から容易に代替品に交換できるようにしておくことも重要である。さらに、評価や学習用として開発されたFPGA 基板は耐久消費財でないため一般的にライフサイクルが短い。FPGA 基板の仕様が変更されても容易に周辺回路が対応しやすいDIP 型の形状が望ましい。

以上述べた検討結果に基づいて、2014 年に中国で設立されたGOWIN Semiconductor が量産しているFPGA を経済的な側面から採用し、RISC-V を構成可能な論理ブロック数をもつFPGA を搭載するとともに、物理的にFPGA 基板を容易に交換可能なDIP 型の形状であるNo.8 (Tang Nano 9K)を選定した。

Tang Nano 9K の仕様や回路図等の技術情報は、Si speed 社のWeb ページ<https://dl.sipeed.com/shareURL/TANG/Nano%209K>で公開されている。図1 にTang Nano 9K の概要ブロック図を示す。Tang Nano 9K に搭載されているFPGA の型番は、GW1NR-LV9QN88PC6/I5 (以下、GW1NR-LV9)である。通常FPGA の構成情報は起動時に外付けされたフラッシュメモリから読み込まれるが、GW1NR-LV9 の場合、内蔵された608Kbit のフラッシュメモリ(公称書換可能回数：10,000 回)から起動時に自動的に読み込まれる。さらに、JTAG (Joint Test Action Group)機能も備え、FPGA 内部とシリアル通信することによって外部からデバッグ等ができる。PC とUSB 接続後、USB とUART の変換、及び、USB とJTAG の変換は、USB 機能付きマイコンBL702で行われるため、PC からFPGA の構成情報を書き込むための外部装置は不要である。

表2 FPGA 基板の比較

No.		1	2	3	4	5	6	7	8
基板	名称 (一部略)	ARTY S7 (410-352)	ARTY S7 (410-352-25)	Basys3 Artix-7	KIT EVALUATION MAX10 FPGA	Cmod S7	Gowin RUNBER FPGA Development Board	Tang Nano 4K	Tang Nano 9K
	メーカー	Digilent	Digilent	Digilent	Intel	Digilent	Seeed Studio	Seeed Studio	Seeed Studio
	形状	ボード型	ボード型	ボード型	ボード型	DIP 型 48 ピン	DIP 型 40 ピン	DIP 型 48 ピン	DIP 型 48 ピン
	サイズ(mm)	88×109	88×109	72×122	90×77	78×18	70×36	60×23	70×26
	電源(DC)	7～15V	7～15V	5V	5V	5V	5V	5V	5V
FPGA	型番	Spartan-7 (XC7S50)	Spartan-7 (XC7S25)	Artix-7 (XC7A35T)	MAX10 (10M08E)	Spartan-7 (XC7S25)	GW1N-UV4	GW1NSR-LV4C	GW1NR-LV9
	メーカー	AMD (旧 Xilinx)	AMD (旧 Xilinx)	AMD (旧 Xilinx)	Intel (旧 Altera)	AMD (旧 Xilinx)	GOWIN Semiconductor	GOWIN Semiconductor	GOWIN Semiconductor
	LUT	32,600*1	14,600*1	20,800*1	8,000*2	14,600*1	4,608*2	4,608*2	8,640*2
	D-FF	65,200	29,200	41,600	8,000	29,200	3,456	3,456	6,480
	内蔵 RAM (Kbit)	2,700	1,620	1,800	378	1,620	180	180	468
	DSP	120	80	90	24	80	16	16	20
	AD 変換	有	有	有	有	有	無	有	無
周辺回路	書込機能	有	有	有	無	有	有	有	有
	スイッチ	押しボタン (4), スラ イド(4)	押しボタン (4), スラ イド(4)	押しボタン (5), スラ イド(16)	押しボタン (1), スラ イド(6)	押しボタン(2)	押しボタン (8), スラ イド (8)	押しボタン(2)	押しボタン(2)
	LED	単色(4), カラー(2)	単色(4), カラー(2)	単色(16), 7セグメン ト(4)	単色(5)	単色(4), カ ラー(1)	単色(8), カ ラー(4), 7セ グメント(4)	単色(1)	単色(6)
参考価格比*3		9.0	6.7	9.8	3.8	4.7	2.1	1.1	1.0

^{*1} 6入力LUT, ^{*2} 4入力LUT, ^{*3} 2023年1月時点におけるNo.8の参考価格に対する比率

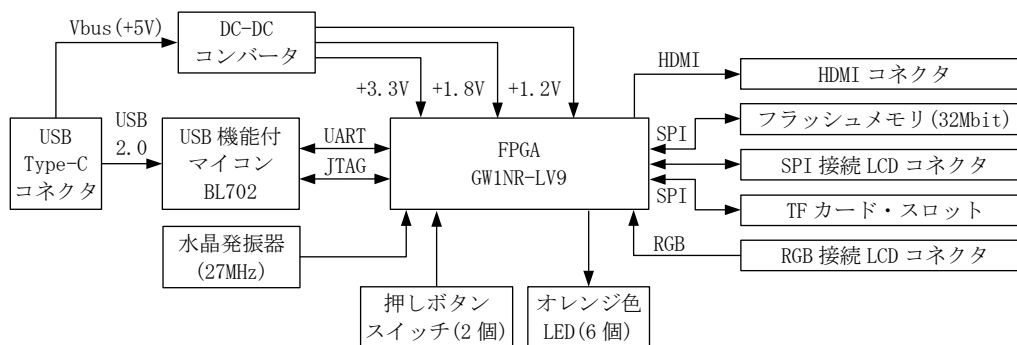


図 1 Tang Nano 9K の概略ブロック図

27MHz のクロックを生成する水晶発振器があり FPGA 内で利用できる。IP として提供されている PLL を用いると、さらに高い周波数のクロックを内部で生成できる。押しボタンスイッチ (2 個) があり、リセットや各種入力用に利用できる。オレンジ色 LED (6 個) を用いて内部状態を表示できる。HDMI コネクタ、SPI や RGB 接続 LCD コネクタを介して表示装置に接続し、所定の映像信号を出力することで様々な情報を提示できる。さらに、CPU 等を実装して利用することを想定した SPI 接続のフラッシュメモリが 32Mbit あり、TF カード・スロットに挿入されたメモリカードも利用できるようになっている。

4. FPGA 基板の教材化

選定した FPGA 基板である Tang Nano 9K の仕様に基づき、表 1 に示した授業計画に対応する実習内容に応じて利用する回路を表 3 に示す。スライドスイッチ、AD 変換回路、PWM 信号生成回路は、当該基板に追加する。

図 2 に、FPGA 基板に搭載されている USB Type-C コネクタ側を上、HDMI コネクタ側を下として、上面から見た場合の Tang Nano 9K のピン毎の機能割当を示す。基板には 2.54mm ピッチのピンが左右に 24 本、合計 48 本あり、ピン番号は左右毎に 1~24 とする。左右のピン間は $9 \times 2.54 = 22.86\text{mm}$ であるため、容易にブレッドボードやユニバーサル基板に装着して利用できる。また、図 2 中で網掛けされた枠は、教材として利用するピンと主な用途を示す。

FPGA ピン名称と番号の対応は GW1NR-LV9 のデータシートによる [7]。GW1NR-LV9 の入出力ポートは、BANK1~4 にグループ分けされており、Tang Nano 9K では BANK1~3 の一部の入出力ポートが利用できる。

「基板内部の接続」の項目に記載された SPILCD, TF, 及び、RGB から始まる名称は、SPI 接続 LCD コネクタ、TF カード・スロット、及び、RGB 接続 LCD にそれぞれ対応し、他の用途と排他的に利用する。「特定用途ピン」の項目に記載された HDMI, GCLK から始まる

表 3 実習内容に応じて利用する回路

番号	実習内容	利用回路
1	デジタル入力	押しボタンスイッチ (2 個)
2	デジタル入力	スライドスイッチ (4 個)*
3	デジタル出力	オレンジ色 LED (6 個)
4	シリアル通信	UART
5	映像信号生成	HDMI
6	AD 変換	$\Delta \Sigma$ 型に類似した AD 変換回路*
7	DA 変換	PWM 信号生成回路*

* 追加回路を示す。

名称は、HDMI コネクタ、外部クロックにそれぞれ対応し、他の用途と排他的に利用する。

ここで「*4」を上付きした名称は、教材として追加する周辺回路用であることを示す。4 個のスライドスイッチによる信号は SSW0~SSW3 に入力される。無変調やパルス幅変調 (PWM) されたデジタル信号は D0 から出力される。GW1NR-LV9 は AD 変換回路を内蔵していないため、図 3 に示す $\Delta \Sigma$ 型に類似した AD 変換回路を追加する [8]。当該回路においてアナログ信号を AN0_P に入力すると、パルス符号変調 (PCM) 信号が PCM0 からデジタル出力され、抵抗器 (R) とコンデンサ (C) によるローパスフィルタを介してアナログ信号となり AN0_N にフィードバック入力される。例えば 8 ビット長の AD 変換値が必要な場合、8 クロック単位で PCM 信号の「1」をカウントするデジタルフィルタを用いる。

計測技術に関する学習では、論理和や論理積、フリップフロップ、カウンタ等の基本的な情報回路に対して、押しボタンスイッチやスライドスイッチの状態を入力し、出力される状態を LED に表示する実習が挙げられる。シーケンス制御を学習する場合、例えば圧電スピーカを D0 に接続し、PWM 信号によって音階を生成する制御を行い、音楽を演奏する実習が挙げられる。さらに、フィードバック制御を学習する場合、例えばフォトトランジスタを用いた照度センサを用いた回路を AD 変換し、計測された照度によってオレンジ色 LED の光る個数や輝度を調節する

特定用途 ピン	基板内部 の接続	FPGA ピン 名称	FPGA ピン 番号	基板ピン 番号(左)	FPGA 基板	基板ピン 番号(右)	FPGA ピン 番号	FPGA ピン 名称	基板内部 の接続	特定用途 ピン
	TF_CS	IOB31B ^{*2}	38	1	USB Type-C コネクタ	1	63	IOR5A ^{*1}	RGB_INIT	
	TF_MOSI	IOB31A ^{*2}	37	2		2	86	IoT8A ^{*3}	RGB_BL	
GCLKC_4	TF_SCLK	IOB29B ^{*2}	36	3		3	85	IoT8B ^{*3}		
	TF_MISO	IOB33A ^{*2}	39	4		4	84	IoT10A ^{*3}		
ANO_P ^{*4}	差動 入力	IOB8A ^{*2}	25	5		5	83	IoT10B ^{*3}		
ANO_F ^{*4}		IOB8B ^{*2}	26	6		6	82	IoT11A ^{*3}		SSW0 ^{*4}
		IOB11A ^{*2}	27	7		7	81	IoT11B ^{*3}		SSW1 ^{*4}
		IOB11B ^{*2}	28	8		8	80	IoT12A ^{*3}		SSW2 ^{*4}
PCM0 ^{*4}		IOB13A ^{*2}	29	9		9	79	IoT12B ^{*3}		SSW3 ^{*4}
		IOB13B ^{*2}	30	10		10	77	IoT27A ^{*1}	SPILCD_MO	DO ^{*4}
	RGB_DE	IOB23A ^{*2}	33	11	Tang Nano 9K 基板	11	76	IoT37B ^{*1}	SPILCD_CK	
	RGB_VS	IOB23B ^{*2}	34	12		12	75	IoT38A ^{*1}	RGB_R3	HDMI_D2P
	RGB_HS	IOB33B ^{*2}	40	13		13	74	IoT38B ^{*1}	RGB_R4	HDMI_D2N
GCLKT_4	RGB_CK	IOB29A ^{*2}	35	14		14	73	IoT39A ^{*1}	RGB_R5	HDMI_D1P
	RGB_B7	IOB41A ^{*2}	41	15		15	72	IoT39B ^{*1}	RGB_R6	HDMI_D1N
	RGB_B6	IOB41B ^{*2}	42	16		16	71	IoT41A ^{*1}	RGB_R7	HDMI_DO_P
GCLKC_3	RGB_B5	IOR17B ^{*1}	51	17		17	70	IoT41B ^{*1}	RGB_G2	HDMI_DON
	RGB_B4	IOR15B ^{*1}	53	18		18		5V		
	RGB_B3	IOR15A ^{*1}	54	19		19	48	IOR24B ^{*1}	SPILCD_CS	
	RGB_G7	IOR14B ^{*1}	55	20		20	49	IOR24A ^{*1}	SPILCD_RS	
	RGB_G6	IOR14A ^{*1}	56	21	HDMI コネクタ	21	31	IOB15A ^{*2}	RGB_INIT	
	RGB_G5	IOR13A ^{*1}	57	22		22	32	IOB15B ^{*2}	RGB_INIT	
HDMI_CKN	RGB_G4	IoT42B ^{*1}	68	23		23		GND		
HDMI_CKP	RGB_G3	IoT42A ^{*1}	69	24		24		3.3V		

^{*1} BANK1 ($V_{I0}=3.3V$), ^{*2} BANK2 ($V_{I0}=3.3V$), ^{*3} BANK3 ($V_{I0}=1.8V$), ^{*4} 教材として追加する周辺回路用

図 2 Tang Nano 9K のピン毎の機能割当

実習が挙げられる。

これらの実習を想定し、受講生が授業時間内に容易に取り組みできるように Tang Nano 9K に 7 種 14 個の追加部品、及び、17 本のジャンパ線を用いてブレッドボード上に組み立てた教材の製作例を図 4 に示す。

5. 情報回路の設計・製作手順

FPGA を用いた情報回路の設計・制作では、一般的にメーカーから提供されている統合型開発環境を利用する。本教材の場合、GOWIN Semiconductor が提供する Gowin EDA (<https://www.gowinsemi.com/en/support/home/>)を用いる。非商用かつ非製品の評価目的であれば Education 版をライセンス導入不要で無償利用できる。Education 版 (Version 1.9.8.07) は、Tang Nano 9K に搭載されている GW1NR-9C に対応している。なお、本バージョンに同梱されている書き込みツール「Programmer」は、Tang Nano 9K に対応していないので、Sipeed 社が提供する「Programmer 2」に差し替える必要がある。

Gowin EDA を用いた FPGA の情報回路の設計・製作手順は以下のとおりである。

5.1 プロジェクトの新規作成または読み込み

プロジェクト名、保存先フォルダ、使用デバイス

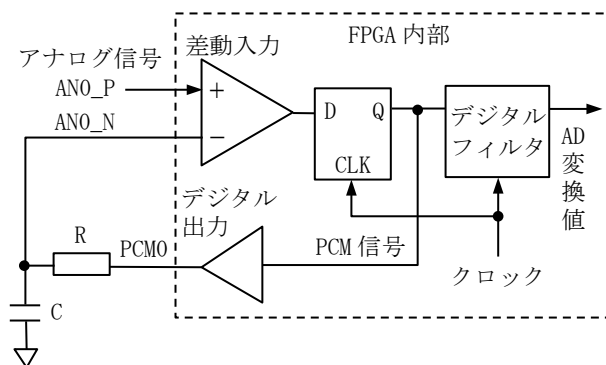


図 3 ΔΣ型に類似した AD 変換回路

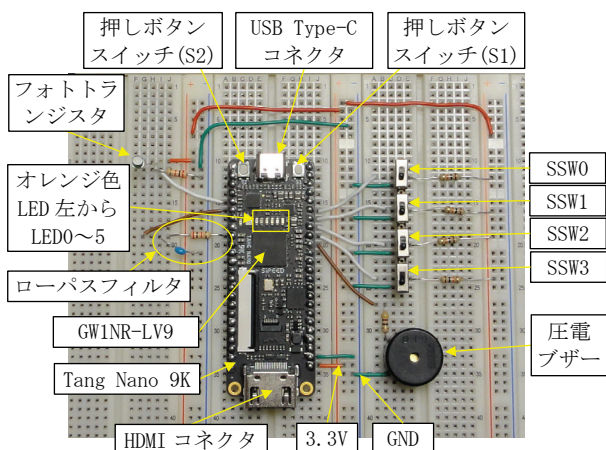


図 4 Tang Nano 9K (縦 70mm, 横 26mm) による教材の製作例

等を設定する。Tang Nano 9K で搭載している FPGA に合わせて FPGA デバイスを選択するため、Series→GW1NR、Device→GW1NR-9C、Package→QFN88P、Speed→C6/I5 に設定することで、Part Number として「GW1NR-LV9QN88PC6/I5」が選択される。

5.2 HDL による情報回路の記述

Gowin EDA は、HDL として VHDL 1993, VHDL 2008, Verilog 1995, Verilog 2001, SystemVerilog 2017 が利用できる。第 3 章で選定した Verilog HDL のうち Verilog 2001 を用いて情報回路を設計・記述し、HDL コード・ファイルとしてプロジェクトに登録し保存する。さらに、必要に応じて PLL や UART 等の IP コアを読み込み、各種設定後、プロジェクトに追加する。

HDL で記述した情報回路が設計通りに動作することを確認するため、テストベンチを作成しシミュレータによる検証が一般的に行われている。しかし、Gowin EDA は無償利用できるシミュレータを持っていないため、オープンソースの Verilog シミュレータである Icarus Verilog (<http://iverilog.icarus.com/>) と波形表示ソフトである GTKWave (<https://gtkwave.sourceforge.net/>) を用いる。また、GAO (Gowin Analyzer Oscilloscope) と呼ばれる埋込型ロジック・アナライザを使って FPGA 内に構成した情報回路の波形を取得し動作検証することもできる。

5.3 論理合成

HDL コード・ファイルに基づいて論理合成を行い、出力されたログを確認し、論理合成が正常に行われるまで HDL コードを修正する。論理合成の完了後、論理合成された回路図を参照できる。

5.4 物理制約の設定

論理合成されたネットリストを FPGA のピンに割り付け物理制約の設定をする。Tang Nano 9K の場合、52 番ピンに 27MHz のクロック入力を割り当て、クロック名を「GCLKT_3」、周波数を「27MHz」という物理制約を設定する。他のピンについても同様に割り当てと物理制約を行い、物理制約ファイルとして保存する。

5.5 ビットストリームの生成

論理合成と物理制約の設定に基づいて、FPGA 内に情報回路を構成するためのビットストリームを生成する。生成過程で出力されたログを確認し、正常にビットストリームが生成されるまで HDL コードや物理制約の設定を修正する。必要に応じて

Place&Route, Timing Analysis, Ports&Pins Report, Power Analysis という名称の各レポートを参照する。

5.6 FPGA ヘッドストリームの書き込み

PC 側の電源供給可能な USB ポートと Tang Nano 9K を USB Type-C ケーブルで接続する。「Programmer 2」を起動し、デバイスをスキャンし「GW1NR-9C」を選択する。当該デバイスが表示されない場合、一旦 USB Type-C ケーブルを取り外し、再度接続しスキャンする。

情報回路の試作段階では、書き換え回数に制限がなく FPGA の電源を切ると記憶内容が保持されない SRAM にビットストリームを書き込む。書き込み完了後、FPGA がリセットされ情報回路が動作する。動作させた情報回路に問題が無くなれば、ビットストリームを FPGA のフラッシュメモリに書き込み、電源投入時に自動的に SRAM に読み込まれるようにする。

6. まとめ

教員養成系学部における授業科目「情報回路と計測・制御(実習を含む。)」の実習用教材として小型 FPGA を利用することを提案し、8 種類の FPGA 基板を比較検討した。その結果、Tang Nano 9K を選定後、学習内容に対応する回路を追加し、ブレッドボード上に組み立てた計測・制御実習教材を開発し、その製作例を示した。特に、本教材に含まれる $\Delta \Sigma$ 型に類似した AD 変換回路や PWM 信号を用いた DA 変換回路を利用することで、計測・制御技術を実践的な側面から習得できると期待される。

発展的な内容として、例えば 4 ビット CPU に相当する情報回路を製作することで、プログラムカウンタや命令デコーダ、レジスタ、メモリ、演算回路等の CPU を構成する基本回路の理解を促進できると考えられる[9]。さらに、コンパイラ等が一括揃っている RISC-V 等の CPU を FPGA 内に構築し利用することで、計測・制御や信号処理等で使われている様々なアルゴリズムを実現できるプログラムも内蔵し実行できるようになる。

今後、受講生の興味・関心に応じて様々なセンサを使った計測やモータ等のアクチュエータを制御するための回路を Tang Nano 9K に追加し、計測・制御実習を行えるように教材を改良する予定である。FPGA メーカーから提供されている IP コアやオープンソースの IP コア (<https://opencores.org/>) の中から本授業の実習用として有益なものを見出し教材化の検討も行っていく必要がある。

参考文献

- [1] 天野英晴(編者)(2016) FPGA の原理と構成, pp.11-27, オーム社.
- [2] 特許庁総務部技術調査課(2002) プログラマブル・ロジック・デバイス技術に関する特許出願技術動向調査, 特許庁, <https://www.jpo.go.jp/resources/report/gidou-houkoku/tokkyo/document/index/pld.pdf> (最終アクセス日: 2023 年 1 月 7 日).
- [3] 田中基夫(2021) 5000 円ボードで始める FPGA 開発, Interface 2021 年 12 月号別冊付録, CQ 出版社.
- [4] 井田健太・望月英輔・鈴木量三朗(2022) 2500 円ボードで始める FPGA 開発 Vol.2, Interface 2022 年 12 月号別冊付録 1, CQ 出版社.
- [5] Design Wave Magazine 編集部編(2008) SystemVerilog 設計スタートアップ, pp.327-339, CQ 出版社.
- [6] FPGA マガジン編集部(2018) FPGA マガジン No.18 Google も推す新オープンソース CPU RISC-V づくり, CQ 出版社.
- [7] Gowin Semiconductor(2022) GW1NR series of FPGA Products Data Sheet, DS117-2.9.6E, <http://cdn.gowinsemi.com.cn/DS117E.pdf> (最終アクセス日: 2023 年 1 月 18 日).
- [8] W. D. Richard, M. Manar, J. Tang(2016) How to digitize hundreds of signals with a single Xilinx FPGA, Xcell journal, ISSUE 94, pp.46-51, <https://www.xilinx.com/publications/archives/xcell/Xcell194.pdf> (最終アクセス日: 2023 年 1 月 19 日).
- [9] 渡波郁(2003) CPU の創りかた, 毎日コミュニケーションズ.